

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-282176

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

G09G 3/20

G09G 3/22

G09G 3/30

H04N 5/66

(21)Application number : 2000-089863

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 28.03.2000

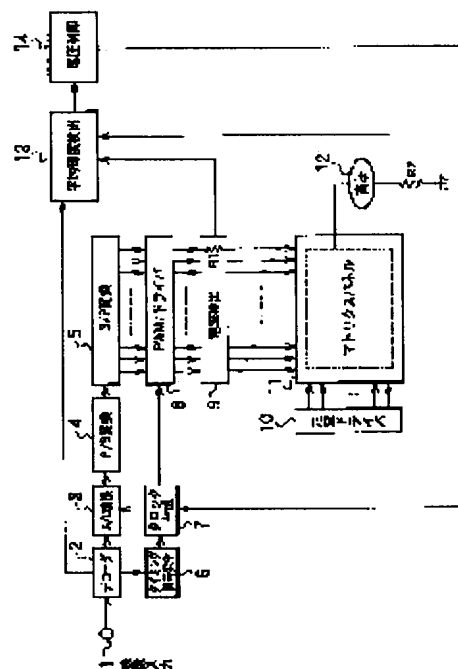
(72)Inventor : YAMAGISHI NOBUYOSHI

(54) PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the quality of a display picture greatly by suppressing power consumption and reproducing peak of brightness.

SOLUTION: A voltage control circuit 14 controls a clock frequency generated by a clock generating circuit 7 based on average brightness detected by an average brightness detecting circuit 13. In the case of 0% average brightness, for example, the voltage control circuit 14 controls the clock generating circuit 7 to generate a reference clock frequency f_0 . Further, it controls the circuit 7 to generate $2 \times f_0$ in the case of 50% average brightness, and $3 \times f_0$ in the case of 100% average brightness. Thus, it is possible to suppress the power consumption and also greatly improve picture quality of a display picture by reproducing peak brightness.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-282176

(P2001-282176A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 2 P 5 C 0 5 8
	6 4 1		6 4 1 A 5 C 0 8 0
3/22		3/22	E
3/30		3/30	K
H 0 4 N 5/66		H 0 4 N 5/66	B
審査請求 未請求 請求項の数 3 O L (全 6 頁)			

(21) 出願番号 特願2000-89863 (P2000-89863)

(22) 出願日 平成12年3月28日 (2000. 3. 28)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 山岸 信義

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外9名)

Fターム(参考) 5C058 AA05 AA12 BA01 BA05 BB03

5C080 AA06 AA18 BB05 DD03 EE29

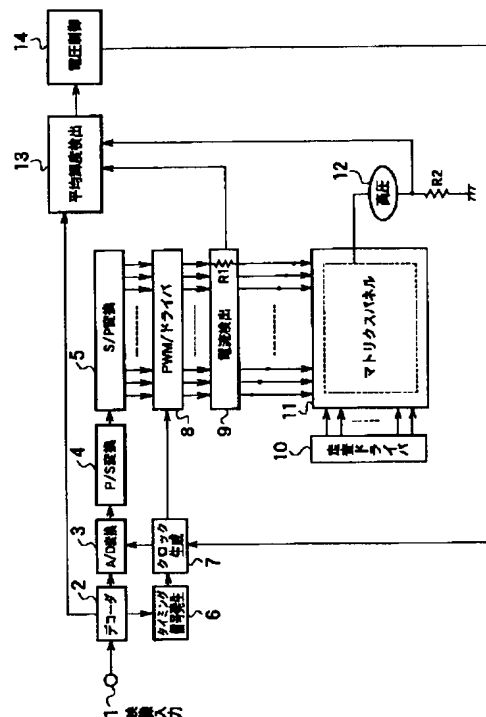
FF12 GG10 JJ02 JJ04 JJ05

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 消費電力を抑制するとともに、ピーク輝度を再現して表示画像の品位を飛躍的に向上させる。

【解決手段】 電圧制御回路14は、平均輝度検出回路13で検出された平均輝度に基づいて、クロック生成回路7で生成されるクロックの周波数を制御する。電圧制御回路14は、例えば平均輝度0%の場合には基準クロック f_0 を生成するように制御する。さらに、平均輝度50%の場合には $2 \times f_0$ 、平均輝度100%の時には $3 \times f_0$ のクロックを生成するように制御する。これにより、消費電力を抑制するとともに、ピーク輝度を再現して表示画像の品位を飛躍的に向上させることができる。



【特許請求の範囲】

【請求項1】 印加電圧に応じたパルス幅のパルスを生
成するパルス生成手段と、
前記パルス生成手段で生成されたパルスのパルス幅に応
じた輝度の画像を表示する表示手段と、
前記表示手段に表示される画像の略平均輝度を検出する
輝度検出手段と、
前記輝度検出手段で検出された略平均輝度に基づいて、
前記パルス生成手段に供給する印加電圧を制御する電圧
制御手段とを有することを特徴とする画像表示装置。

【請求項2】 前記輝度検出手段は、前記パルス生成手
段で生成されたパルスの電流に基づいて略平均輝度を検
出することを特徴とする請求項1記載の画像表示装置。

【請求項3】 前記表示手段に電源を供給する電源供給
手段を有し、
前記輝度検出手段は、前記電源供給手段が電源を供給し
ているときに流れる電流に基づいて、略平均輝度を検出
することを特徴とする請求項1記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界放出型カソ
ドを用いたFED表示装置や有機エレクトロルミネセン
ス表示装置に適用して好適な画像表示装置に関し、特
に、ピーク輝度を再現する画像表示装置に関する。

【0002】

【従来の技術】マトリクス型表示装置（マトリクス・デ
ィスプレイ）は、互いに直交する電極群の交点を画素と
し、各画素への印加電圧を調整することにより画像を表
示する。このようなマトリクス・ディスプレイとして
は、液晶ディスプレイの他、フィールド・エミッション
・ディスプレイ（FED）、プラズマ・ディスプレイ
（PDP）、有機エレクトロルミネセンス（有機EL）
などがある。例えば、FEDは、特開平4-28964
4号公報に記載されているように、各画素に微小な電界
放出陰極を多数配置し、そこからの電界放出電子を真
空中で加速したのち蛍光体に照射して発光させるもので
ある。

【0003】これらのマトリクス・ディスプレイは、あ
る行に適当な電圧を印可して半選択状態とし、その時点
に各列に適当な信号電圧を加えることにより、行と列の
交点にある各発光素子の発光状態を制御し、画像を表示
する。この際、列信号への信号電圧の印加の仕方を工夫
することにより、各発光素子の輝度すなわち階調を調整
する。この階調の調整方法には、発光時間を調整するパ
ルス幅変調や印加電圧振幅を調整する電圧変調などがあ
る。

【0004】例えば、特開平4-289644号公報に
記された階調表示方法においては、256階調を得よう
とする場合には、発光輝度が2のn乗（ $n=0\sim7$ ）に
比例するように電圧 V_n を設定し、 V_n を組み合わせて

印加することにより256階調の表示を実現している。

【0005】

【発明が解決しようとする課題】これらの表示装置の開
発課題として、消費電力を上げずに表示品位を上げるた
めに良好な階調表現を実現するということがある。入力
ビデオ信号に応じて発光輝度を制御し良好な階調表現を
実現するものとしては、例えば入力ビデオ信号の値に基
づいてパルス幅変調（PWM）を行った信号をドライブ
信号とする方式がある。この場合、入力ビデオ信号の値
に応じて各画素ピクセルの発光時間がコントロールさ
れ、階調表現が行われる。この場合は、一般に、入力ビ
デオ信号をA/D変換し、そのデジタルデータとカウン
タのカウント値との一致を検出することでパルス幅変調
を行う。

【0006】図4は、データの大きさに応じた駆動パル
スの模式波形を示す図である。パルス幅変調は、図4に
示すように、例えば入力データが[05h]の場合、駆
動パルス5カウント分の幅を有する出力パルスを生
成する。同様に、入力データが[7Fh]の場合には127
カウント分の出力パルスを生成し、入力データが[FF
h]の場合には255カウント分の出力パルスを生
成する。すなわち、駆動パルスは、このデータが大き
くなるほどパルス幅が広がっている。

【0007】図5は、データ（＝駆動パルス）の大き
さ（横軸）と輝度（縦軸）との関係を示す図である。出
力パルスのパルス幅と出力輝度レベルは比例するので、
図5に示すように、データ（駆動パルス）と出力輝度レ
ベルも比例する。すなわち、駆動パルス幅、すなわち電
子ビームがオンになる時間と蛍光面の輝度との関係は略
直線的である。したがって、例えば駆動パルスのパルス
幅が画像データにより256段階に直線的に変化するなら
ば、256段階の直線的な輝度変化を再現することが可
能である。

【0008】實際上、配線数やカウンタ用クロックの
周波数の制限などから、A/D変換は8ビット程度、つ
まり256階調程度が限界であり、それ以上の階調を実
現することは非常に困難である。すなわち、単純なPWM
方式では階調表現に実用上の限界があり、飛躍的な表
示の高品位化は望めないという問題点があった。さら
に、この変調方法では、各画素ピクセル毎の電圧－電流
特性のバラツキのため、各画素ピクセル毎に電流がばら
ついてしまい、画面の輝度むらとして現れてしまう。こ
れを抑制するため、印加電圧は固定し一定電流を駆動回
路で流しパルス幅変調を行う場合もあるが、電流バラツ
キは回避されるが、上記と同様に階調表現に実用上の限
界がある。また、パネル絶対輝度を上げると輝度のダイ
ナミックレンジ（コントラスト）大きく取れるが、パネ
ル寿命が短くなったり、消費電力が大きくなってしま
う。

【0009】他の方式として、ドライブ電圧、即ちFE

D表示装置におけるゲート・カソード間電圧や、有機EL表示装置における電極間電圧を変調することで階調表現を行うパルス電圧振幅変調(PAM)方式も考えられている。しかしながら、FED表示装置や有機EL表示装置におけるアノード電流特性上のアノード電流立上り点電圧のバラツキ(各画素ピクセル毎のバラツキ)や駆動回路の温度特性、電力損失の点などから、階調を精密にコントロールできず、良好な表示品位が得られないという問題点があった。

【0010】また、マトリクス・ディスプレイでテレビジョン放送の画像を表示する際、通常256階調以下で階調表示を行っている。多くの場合、256階調で十分であると考えられているが、例えば、「画面全体はそれほど明るくないが、一部にピーク輝度がある場面」などでは、画面中のごく一部の領域で256階調の最高輝度よりも、少なくとも2倍、好ましくは5倍以上の輝度がないと迫力のある映像にならないことが知られている。実際、陰極線管(CRT)を用いた直視型テレビあるいは投射型テレビでは、画面の一部分の瞬発的な輝度(ピーク輝度)を、平均輝度の10倍程度以上まで出るようにして、迫力ある映像を実現している。これは、陰極線管では、信号電圧に対して輝度が指数関数以上に急峻に変化するために可能になっている。

【0011】これに対して、例えば、代表的なマトリクス・ディスプレイである液晶ディスプレイでは、信号電圧に対して輝度(液晶ディスプレイの場合は透過率)がほぼ1次関数的に変化するので、陰極線管のように大きな輝度のダイナミックレンジを得ることが出来ない。

【0012】本発明は、上述した課題に鑑みてなされたものであり、消費電力を抑制するとともに、ピーク輝度を再現して表示画像の品位を飛躍的に向上させることができるような画像表示装置の提供を目的とする。

【0013】

【課題を解決するための手段】請求項1に記載の本発明に係る画像表示装置は、上述の課題を解決するための手段として、印加電圧に応じたパルス幅のパルスを生成するパルス生成手段と、前記パルス生成手段で生成されたパルスのパルス幅に応じた輝度の画像を表示する表示手段と、前記表示手段に表示される画像の略平均輝度を検出する輝度検出手段と、前記輝度検出手段で検出された略平均輝度に基づいて、前記パルス生成手段に供給する印加電圧を制御する電圧制御手段とを有する。

【0014】請求項2に記載の本発明に係る画像表示装置は、前記輝度検出手段は、前記パルス生成手段で生成されたパルスの電流に基づいて略平均輝度を検出することを特徴とする。

【0015】請求項3に記載の本発明に係る画像表示装置は、前記表示手段に電源を供給する電源供給手段を有し、前記輝度検出手段は、前記電源供給手段が電源を供給しているときに流れる電流に基づいて、略平均輝度を

検出することを特徴とする。

【発明の実施の形態】以下、本発明の好ましい実施の形態について図面を参照しながら説明する。本発明は、例えば図1に示す構成の画像表示装置に適用することができる。

【0016】前記画像表示装置は、入力端子1を介して入力される画像信号をデコードするデコーダ2と、デコーダ2からの画像信号をデジタル化するアナログ/デジタル(A/D)変換器3と、デジタル化された画像データをパラレル/シリアル(P/S)変換するP/S変換回路4と、シリアル/パラレル(S/P)変換するS/P変換回路5と、デコード後の画像データからタイミング信号を発生するタイミング信号発生回路6と、タイミング信号からクロックを生成するクロック生成回路7とを有している。

【0017】デコーダ2は、入力端子1から入力されたコンポジットの画像データを3原色の色信号(赤(R)、緑(G)、青(B))に分離するとともに、水平同期信号(HSYNC)及び垂直同期信号(VSYNC)を抽出する。デコーダ2は、各色信号をA/D変換器3に供給し、水平及び垂直同期信号をタイミング信号発生回路6に供給する。

【0018】ここで、タイミング信号発生回路6は、水平及び垂直同期信号に基づいて各種のタイミング信号を発生するものである。クロック生成回路7は、タイミング信号発生回路6からのタイミング信号に基づいて、水平同期信号HSYNCに同期したタイミングで一定周期のクロックを生成する。タイミング信号発生回路6は、このクロックをサンプリングクロックとしてA/D変換器3に供給する。

【0019】また、クロック生成回路7は、位相比較器と電圧制御発振器(VCO)とからなるPLL回路を有し、当該PLL回路により生成される基準クロックをPWM/ドライバ8に供給する。VCOは、後述する電圧制御回路14により制御される。

【0020】A/D変換器3は、デコーダ2からの3原色信号を所定のサンプリング間隔でアナログ/デジタル変換し、これにより得られた3原色データをP/S変換回路4に供給する。

【0021】P/S変換回路4は、A/D変換器3からパラレルに供給される3原色データを、後述するマトリクスパネル11の各蛍光体の並びに対応したシリアル信号に変換し、このシリアル信号をS/P変換回路5に供給する。S/P変換回路5は、前記シリアル信号を1行毎にパラレルの画像データに変換する。

【0022】さらに、前記画像表示装置は、水平方向に駆動するためのパルス幅変調回路(PWM)/ドライバ8と、ドライバパルスの電流を検出する電流検出回路9と、垂直方向に駆動するための走査ドライバ10と、画像を表示するマトリクスパネル11と、抵抗R2を介し

て接地されかつマトリクスパネル11に供給する電圧を発生する高圧発生回路12と、表示画像の平均輝度を検出する平均輝度検出回路13と、平均輝度に基づいて電圧を制御する電圧制御回路14とを有している。

【0023】PWM／ドライバ8は、クロック生成回路7からのタイミング信号に同期して駆動され、そしてS／P変換回路5から供給される画像データの輝度レベルに対応したパルス幅を有するドライブパルスを生成する。PWM／ドライバ8は、これらのドライブパルスを、電流検出回路9を介して、マトリクスパネル11に供給する。

【0024】走査ドライバ8は、マトリクスパネル11の図示しない行電極のいずれか1つをアクティブにする走査パルスを生成し、この走査パルスをマトリクスパネル11に供給する。

【0025】マトリクスパネル11は、例えば線順次走査方式の電界放出ディスプレイパネルであり、画素が m 行 \times n 列のマトリクス状に配設されて構成されるものである。すなわち、表示画面に n ドットの表示ラインが m 本含まれている。そして、マトリクスパネル11は、この画素配列に対応して、各行の表示ラインごとの m 本の電極と各列ごとの n 本の電極とを設けている。

【0026】マトリクスパネル11では、走査ドライバ10から供給されたパルスのパルス幅に応じた期間だけ画素が電子を放出し、その対向面に高圧発生回路12が高電圧を印加する。これにより、対向面に電子が引き寄せられ蛍光体に衝突し発光する。そして、走査ドライバ10が選択する行を順次走査することにより、2次元画像が形成される。なお、ここではマトリクスパネル11としてFEDで説明したが、ELその他のものであってもよい。

【0027】平均輝度検出回路13は、例えばフィルタと加算器とから構成される。平均輝度検出回路13は、マトリクスパネル11の各素子に流れる素子電流を抵抗 $R1$ を介して検出し、全ての値を加算して積算値を検出する。また、平均輝度検出回路13は、抵抗 $R2$ に流れる電流からマトリクスパネル11の平均輝度を検出するようにしてもよい。

【0028】なお、平均輝度検出回路13の構成としては、マトリクスパネル11に表示される画像の輝度の略平均値を検出できるものであれば、特に限定されるものではない。

【0029】電圧制御回路14は、平均輝度検出回路13で検出された平均輝度に基づいて、クロック生成回路7の図示しないVCOを制御する。電圧制御回路14は、例えば平均輝度0%の場合には基準クロック f_0 を生成するようにVCOを制御する。さらに、平均輝度50%の場合には $2 \times f_0$ 、平均輝度100%の時には $3 \times f_0$ のクロックを生成するようにVCOを制御する。

【0030】データが100であって平均輝度100% 50

の場合、クロック生成回路7は、図2(a)に示すようなクロックを生成する。そして、PWM／ドライバ8は、図2(d)に示すようなドライブパルス(PWMパルス)を生成する。平均輝度50%の場合、クロック生成回路7は、図2(b)に示すようなクロックを生成する。そして、PWM／ドライバ8は、図2(e)に示すようなPWMパルスを生成する。平均輝度0%の場合、クロック生成回路7は、図2(c)に示すようなクロックを生成する。そして、PWM／ドライバ8は、図2(f)に示すようなPWMパルスを生成する。

【0031】図3(a)は、同じ輝度データに対する出力輝度の関係を示す図である。階調数は変わらないが、クロックが倍になれば輝度は半減している。

【0032】図3(b)は、クロックとパルス幅の関係を示す図である。ここで、平均輝度0%、50%、100%の時に、画面中央の一部の領域(以下、「A点」という。)がどちらも場合も入力輝度レベルが100%の白ピークであると仮定し、実際の画面上A点での出力輝度レベルはどうなるかを考える。

【0033】基準クロック f_0 (平均輝度0%)の時にPWMパルス幅が100%とすると、 $2 \times f_0$ (平均輝度50%)ではパルス幅が50%となり出力輝度レベルが半減する。 $3 \times f_0$ (平均輝度100%)の時には出力輝度レベルは $1/3$ 程度になる。

【0034】これにより、前記画像表示装置は、平均輝度は低いがある一部に白ピークの信号がある場合には、出力輝度レベルを下げることなく表示できる。また、全体輝度が高いときには信号分解能(ビット)数を減らすことなく輝度を下げることができる。

【0035】具体的には、平均輝度レベルに応じてPWMパルスを形成するタイミング信号(クロック)を制御している。電圧制御回路14は、平均輝度が低い場合、クロック周波数を低くするようにクロック生成回路7を制御し、これによりPWMパルス幅を広げて輝度を高くしている。

【0036】一方、電圧制御回路14は、平均輝度が高い場合、クロック周波数を高くするようにクロック生成回路7を制御し、これによりPWMパルス幅を狭くし輝度を低下させている。したがって、画像データの階調数(ビット数)は変えずに、平均輝度が高い場合にはパネル電力を抑制つつ、平均輝度が低いが一部に輝度がある場合にはピーク輝度が再現され迫力のある映像になる。

【0037】換言すると、前記画像表示装置は、平均輝度が低いときは白ピークが良好に表示されるので出力輝度レベルをあまり変化させていない。これに対して、平均輝度が高いときは白ピークが良好に表示されないのので、出力輝度レベルを低下させることによってその白ピークを明確に表示させることができる。このとき、信号分解能を減らすことなく全体的に出力輝度レベルを低下させるので、画像全体の階調度は下らず、高画質の画

像をそのまま表示することができる。

【0038】なお、以上の説明において示した数値はあくまで一例であり、特に限定される値ではないことは勿論である。

【0039】

【発明の効果】本発明に係る画像表示装置は、表示手段がパルス生成手段で生成されたパルスのパルス幅に応じた輝度の画像を表示し、輝度検出手段が表示手段に表示される画像の略平均輝度を検出し、電圧制御手段が前記輝度検出手段で検出された略平均輝度に基づいて、パルス生成手段に供給する印加電圧を制御する。したがって、平均輝度レベルに応じてパルス幅を制御することにより、従来のPWM制御だけでは出し得なかったピーク輝度を再現できるようになる。また、消費電力を押さえつつピークの階調輝度表示の領域を広げ表示品質を向上させることができる。

【図面の簡単な説明】

*

*【図1】本発明の実施の形態である画像表示装置の構成を示すブロック図である。

【図2】基準クロックとPWMパルスのパルス幅との関係を示す図である。

【図3】画像データと輝度との関係と、基準クロックと輝度との関係を示す図である。

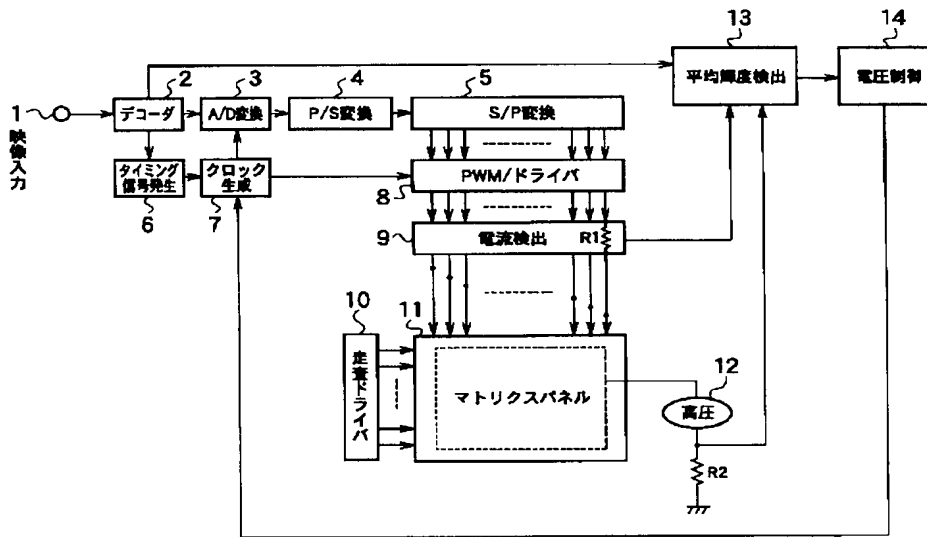
【図4】基準クロックとパルス幅の関係を示す図である。

【図5】画像データと輝度との関係を示す図である。

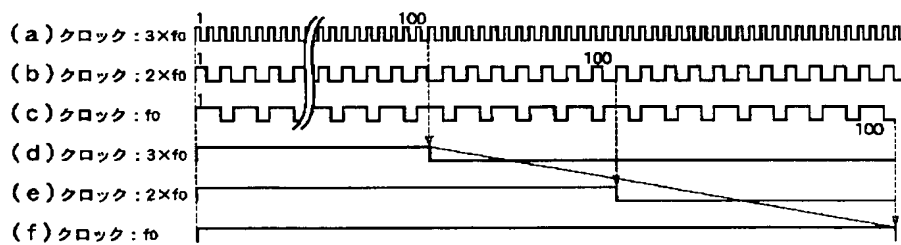
10 【符号の説明】

1…入力端子、2…デコーダ、3…A/D変換器、4…P/S変換回路、5…S/P変換回路、6…タイミング信号発生回路、7…クロック生成回路、8…PWM/ドライバ、9…電流検出回路、10…走査ドライバ、11…マトリクスパネル、12…高圧発生回路、13…平均輝度検出回路、14…電圧制御回路

【図1】

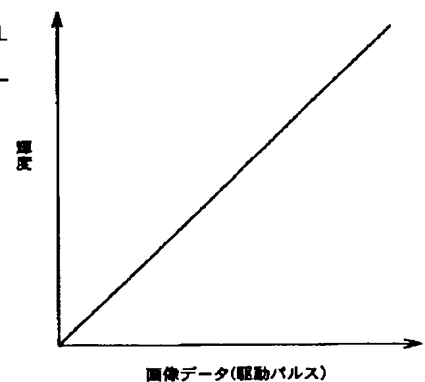


【図2】

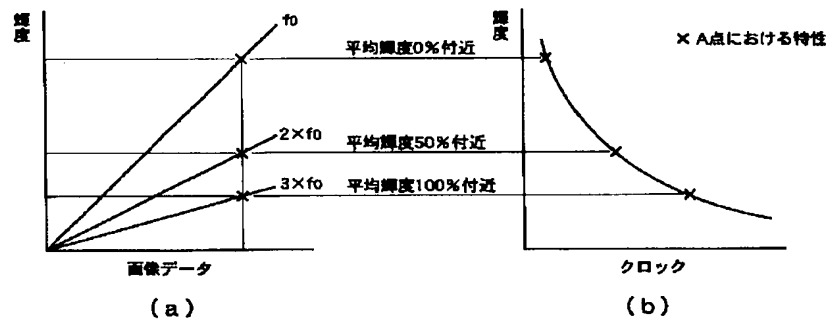


画像データ100の時のクロックの違いによるパルス幅

【図5】



【図3】



【図4】

